

SELECTOR CIRCUIT

Patent Number: JP63094713
Publication date: 1988-04-25
Inventor(s): NAGASAWA TATSUYA; others: 01
Applicant(s): FUJITSU LTD
Requested Patent: ☐ JP63094713
Application Number: JP19860239905 19861008
Priority Number(s):
IPC Classification: H03K17/00; H03K17/16
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent an output signal from being fluctuated due to a hazard caused at the switching of a selection signal by applying a logic output of a NOT logic circuit so as to fix an output level of a gate circuit to a prescribed value when all input signals to be selected are at a high level.

CONSTITUTION: The NAND circuit 15 using two input signals A, B to be selected as input signals generates a low level output signal when both the two input signals are at high level. The low level output signal is given as one input signal to a NAND circuit 13 and the output signal of the circuit 13 is fixed to a high level independently of the level of other input signal. Thus, it takes place that a selection signal S and the inverse of the signal S of two NAND circuits 11, 12 are both at a low level, and when the input signals A, B to be selected are both at a high level, two high level signals are given to the NAND circuit 13. Since the low level signal, however, is given from the NAND circuit 15, the output of the NAND circuit 13 is held stably at a high level.

Data supplied from the esp@cenet database - I2

c)

Japanese Patent Laid-Open No. SHO 63-94713

Page 3, the 13th line in the upper right column to the 8th line in the lower left column:

Fig. 4 shows a block circuit diagram of an embodiment using the selector circuits of the present invention.

Reference numerals 41 and 42 represent a signal 1 and a signal 2 that are to be selected. Reference numerals 43 and 44 represent selector circuits, which output selected signals to the enable terminals of utilization circuits 45 and 46. In the selector 43, the signal 1 is connected to an A-signal, and the signal 2 is connected to a B-signal. In the selector 44, the signal 2 is connected to an A-signal, and the signal 1 is connected to a B-signal.

By connecting the signals in this way, when the selector 43 selects the A-signal, the selector 44 selects the B-signal. Therefore, when the signal 1 is supplied to the circuit 45, the signal 2 can be supplied to the circuit 46.

In this case, no hazard occurs in the selector circuits, so the construction of a combination circuit becomes easier.

C)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-94713

⑫ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)4月25日

H 03 K 17/00
17/16

A-7190-5J
7190-5J

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 セレクタ回路

⑮ 特 願 昭61-239905

⑯ 出 願 昭61(1986)10月8日

⑰ 発 明 者 長 澤 達 也 栃木県小山市城東3丁目28番1号 富士通デジタル・テクノロジ株式会社内

⑱ 発 明 者 加 藤 清 光 栃木県小山市城東3丁目28番1号 富士通デジタル・テクノロジ株式会社内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

セレクタ回路

2. 特許請求の範囲

非反転または否定回路(14)にて反転された選択信号と選択されるべき入力信号とが供給される否定論理積回路(11、12)と、該選択されるべき入力信号を入力とした否定論理積回路(15)と、各否定論理積回路(11、12、15)の出力信号の論理積を発生せしめる否定論理積回路(13)とを備えてなることを特徴とするセレクタ回路。

3. 発明の詳細な説明

(概要)

論理回路の組合せからなるセレクタ回路において、選択されるべき信号のみを入力とする否定論理積回路を設け、この回路の論理出力を論理ゲート回路に供給し、選択されるべき入力信号がすべ

てハイレベルのときのゲート回路出力レベルを一定値に固定させ、選択信号切替時発生するハザードによって出力信号が変動しないようにする。

(産業上の利用分野)

本発明はセレクタ回路の改良に関する。

セレクタ回路は与えられた複数個の入力信号の内から所望信号を選択、出力させる回路である。

セレクタ回路は論理回路を用い、小型簡単な回路構成とし、高速回路にて実現されることが望ましい。

(従来の技術)

セレクタ回路を論理回路の組合せで実現した従来例を、第5図の回路図にて説明する。

図において51~53は否定論理積回路、54は否定回路である。

選択されるべき入力信号AとBはそれぞれ否定論理積回路51と52へ供給される。選択信号Sは否定回路54にて反転され、否定論理積回路51へ供給さ

れ、また否定論理積回路52へ非反転のままで供給される。

選択されるべき入力信号A若しくはBは、選択信号Sのレベル切替にて行われ、セレクトの出力部Yへ、信号A若しくはBが出力する。

第5図のセレクト回路の動作を第6図のタイムチャートに従い説明する。

信号Aは(1)、信号Bは(4)の波形変化をもつものと仮定する。また、選択信号Sは(5)の様に時間 t_0-t_1 の間はハイレベル、時点 t_1 においてローレベルに切替られるものとする。

否定論理積回路51へは(1)の信号Aと(5)を反転した(2)の選択信号 \bar{S} が与えられる。

否定論理積回路は一方の入力信号がハイレベルのときのみ、他方の入力信号の変化が出力側へ通過することが出来、その出力部にレベルの反転した信号を出力させる。

従って、否定論理積回路51は(3)に示す様に、時刻 t_1 以降レベルを反転したA信号を出力する。

同様にして、否定論理積回路52の出力部には(6)

の様に時刻 t_0-t_1 の間にB信号のレベル反転信号を出力する。

これらの両出力信号を否定論理積回路53に供給することにより、(7)の様に t_0-t_1 間はB信号、 t_1 以降はA信号を出力させることが出来る。

入力信号A若しくはBの選択は選択信号Sのレベル切替で行う。

(発明が解決しようとする問題点)

上記従来のセレクト回路は、入力信号AとBが第7図の(1)(2)に示す様に同時にハイレベルであるときに問題になる。

反転選択信号 \bar{S} は否定回路54にて選択信号Sを反転させるので、回路上遅延時間を与えられる。その結果、レベル切替時点は反転選択信号 \bar{S} の場合遅れが生じる。

今、選択信号Sが図示の(3)の様に、時点 t_1 にハイレベルからローレベルに切替られた場合、反転選択信号 \bar{S} は(4)の波形で示す様に、切替遅延時間 Δt の間ローレベルに留まり、 $t_1 + \Delta t$ の時点に至

ってからハイレベルに替わる。従って、否定論理積回路51、52の選択信号は Δt 時間の間、共にローレベルに保たれ、その結果、セレクト回路の出力Yに図示(5)の様なパルス波形を生じる。

入力信号A及びBが共にハイレベルの場合、セレクト出力信号Yはハイレベルに固定されるのが正常である。しかし、回路を組合せた場合、入力変化に対して本来固定されていなくてはならない出力レベルが、複数の入力信号を同時に変化したときは、論理回路素子の遅延時間や信号伝播経路の違い等により、一時的に変化を起こすことがある。そのため、このようなハザードを防止することが問題点となる。

(問題点を解決するための手段)

上記の問題点は、第1図の本発明の原理図に示す様に、非反転または否定回路14にて反転された選択信号と選択されるべき入力信号とが供給される否定論理積回路11、12と、選択されるべき入力信号を入力とした否定論理積回路15と、各否定論

理積回路11、12、15の出力信号の論理積をとる否定論理積回路13とを設けた本発明のセレクト回路により解決される。

(作用)

本発明によれば、選択されるべき2つの入力信号A、Bを入力信号とする否定論理積回路15は2つの入力信号が共にハイレベルのときはローレベルの出力信号を発生する。このローレベルの出力信号は否定論理積回路13の一つの入力信号として与えられ、回路13の出力信号は他の入力信号のレベルの値に左右されることなくハイレベルに固定される。従って、2個の否定論理積回路11、12の選択信号Sと反転Sが共にローレベルとなることが起こり、選択されるべきA入力信号とB入力信号がハイレベルであると、否定論理積回路13の2つの入力としてハイレベルの信号が与えられる。しかし、否定論理積回路15からのローレベル信号が与えられるので否定論理積回路13の出力はローレベルに変化することなく、ハイレベルに安定に

保持される。

〔実施例〕

図示実施例に従い本発明を詳細に説明する。

第2図は本発明のセレクト回路の一実施例、また第3図はハイレベル信号入力時の動作をタイムチャートにて示す。

第2図において、選択されるべき入力信号AまたはBの供給される否定論理積回路21または22は相互にレベルの反転した選択信号S、 \bar{S} が供給される。

レベル反転のため、否定回路24が否定論理積回路21の入力部に設けられている。

選択されるべき入力信号AとBは本発明により設けられた否定論理積回路25に供給される。25の出力信号は否定論理積回路21、22の出力と共に否定論理積回路23に接続する。

第3図に示す様に、選択されるべき入力信号A、Bが(1)(2)のようなハイレベルHである場合、選択信号Sが、(3)のように、ハイレベルHからローレ

ベルLに切り替えられと、反転選択信号 \bar{S} は否定回路24により遅延時間が与えられたために、既に述べた様に両選択信号が短時間同時にローレベルとなる。その結果、短時間のハイレベル信号が否定論理積回路21、22から否定論理積回路23へ同時に与えられる。

本発明によれば、ハイレベルの入力信号A、Bは否定論理積回路25に与えられるから、ローレベルLの出力信号を発生して、これが否定論理積回路23に供給される。従って、(4)に示す様に、セレクト回路の出力信号はハイレベルに保持され、不所望のハザードは生じない。

第4図は本発明のセレクト回路を使用した一実施例をブロック回路図で示す。

41、42は選択されるべき信号1と信号2を示す。43と44はセレクト回路である。各セレクトはその選択した信号を利用回路の45及び46のイネーブル端子に与える。

セレクト43は信号1をA信号とし、また信号2をB信号とする。

7

セレクト44は信号2をA信号とし、また信号1をB信号とする。

この様に接続することにより、セレクト回路43が、例えばA信号を選択したとき、セレクト44はB信号を選択し、信号1を回路45へ供給するとき、信号2を回路46へ供給することが出来る。

この場合、セレクト回路にハザードの発生がないので組合せ回路の構成が容易となる。

〔発明の効果〕

本発明によれば、セレクトにて発生するハザードを防ぎ、電子回路の設計を容易にするものでありその作用効果は極めて大きい。

4. 図面の簡単な説明

第1図は本発明の原理図、

第2図は本発明一実施例のセレクトの回路図、

第3図は本発明回路のハイレベル信号入力時の動作タイムチャート、

第4図は本発明一実施例のブロック回路図、

8

第5図は従来のセレクトの回路図、

第6図は第5図のセレクト回路の動作タイムチャート、

第7図はハイレベル入力時の動作タイムチャートである。

図において、

11～13, 15, 21～23, 25, 51～53は否定論理積回路、14, 24, 54は否定回路、

A、Bは選択されるべき入力信号、

S、 \bar{S} は選択信号、

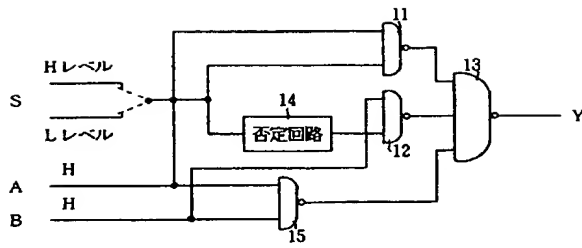
Yはセレクト回路の出力信号である。

代理人弁理士 井桁貞一

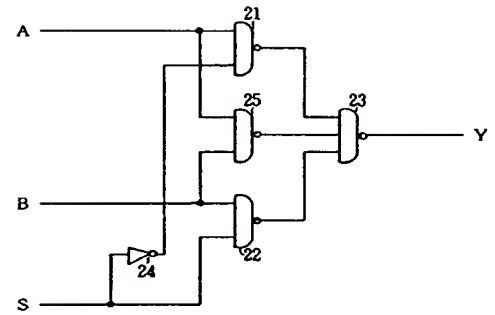


9

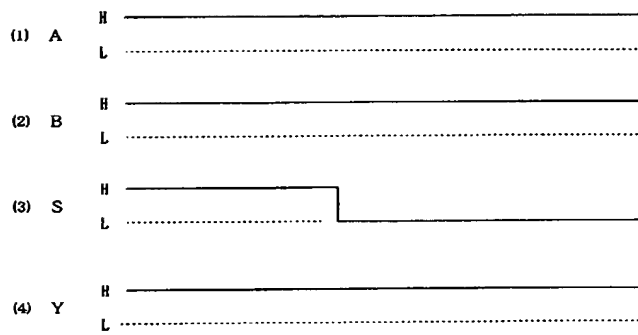
10



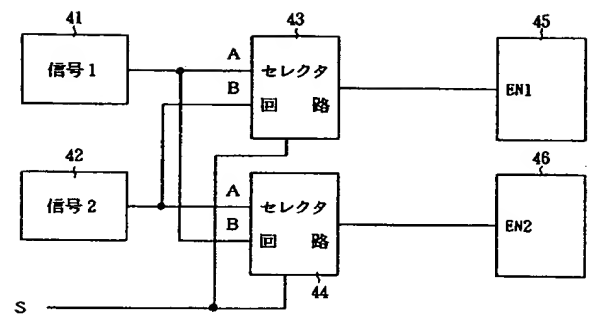
本発明の原理図
第 1 図



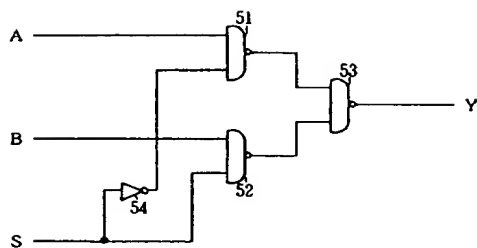
本発明一実施例のセレクトの回路図
第 2 図



本発明回路のハイレベル信号入力時の動作タイムチャート
第 3 図

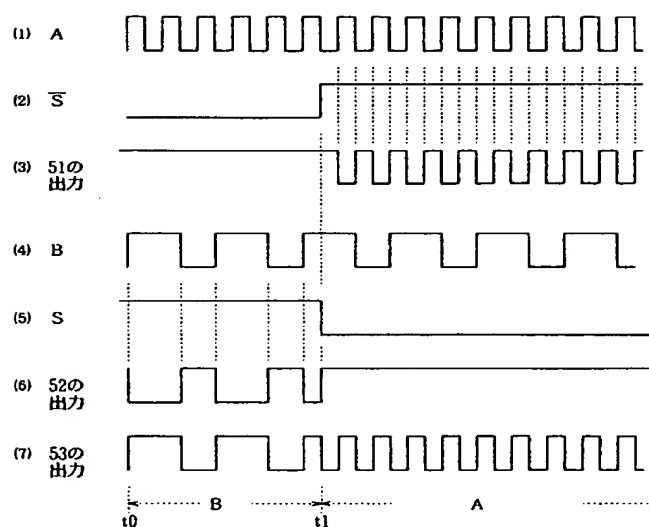


本発明の一実施例のブロック回路図
第 4 図



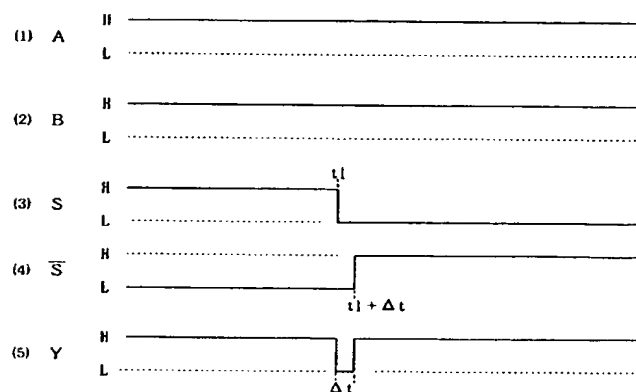
従来のセレクトの回路図

第 5 図



第5図のセレクト回路の動作タイムチャート

第 6 図



ハイレベル入力A, B時の動作タイムチャート

第 7 図